

1) a)

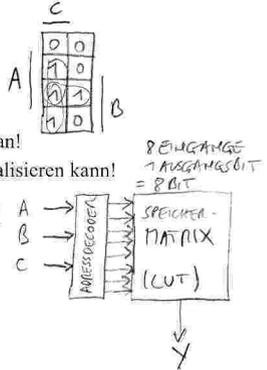
A	B	C	$(A \wedge B) \vee (C \wedge B) \vee (A \wedge C) = F$
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

Rechenbeispiele

Beispiel 1

Zu realisieren ist die folgende Funktion:

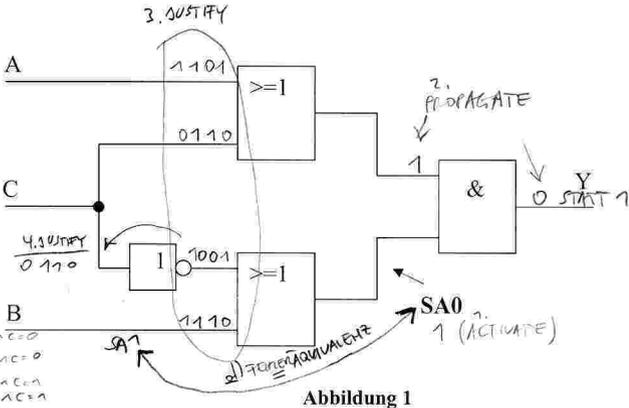
$$Y = (A \wedge B) \vee (B \wedge C) \vee (A \wedge C)$$



- (a) Geben Sie die Wahrheitstabelle und das KV-Diagramm für diese Funktion an!
- (b) Skizzieren Sie, wie man die Funktion mittels einer LUT-basierten Logik realisieren kann! Wie viele Eingänge braucht die LUT, und wie viele Bit benötigt sie?
- (c) Entwerfen Sie eine Realisierung mittels Multiplexer-basierter Logik! Skizzieren Sie Ihre Lösung! Wie viele Multiplexer mit 2 Eingängen benötigen Sie?

Beispiel 2

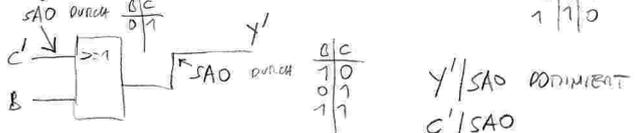
Gegeben ist die Schaltung in Abbildung 1. Arbeiten Sie mit dem single-Stuck-at Fehlermodell.



	A	B	C	$A \wedge B$	$B \wedge C$	$A \wedge C$	Y
0	0	0	0	0	0	0	0
1	0	0	1	0	0	0	0
0	1	0	0	0	0	0	0
1	1	0	1	1	0	0	1
0	0	1	1	0	1	0	1
1	0	1	1	0	1	1	1
0	1	1	1	1	1	1	1

Abbildung 1

- (a) Welche Grundfunktion erfüllt diese Schaltung? MULTIPLEXER (C... STEUER-EINGANG)
- (b) Wie viele Testvektoren benötigen Sie für einen Exhaustive Test dieser Schaltung? Geben Sie die Vektoren an!
- (c) In Abbildung 1 ist ein Knoten mit „SA0“ gekennzeichnet. Ermitteln Sie alle Testvektoren die geeignet sind, diesen Fehler zu entdecken. Bezeichnen Sie die dazu nötigen Schritte.
- (d) Zeigen Sie in der Schaltung ein Beispiel für Fehleräquivalenz!
- (e) Zeigen Sie in der Schaltung ein Beispiel für Fehlerdominanz!



AD 21

$$(A \vee C) \wedge (B \vee \neg C)$$

Satz 1 & Satz 2

A	B	C	$B \vee \neg C$	$A \vee C$
0	0	0	.	.
1	0	0	.	.
0	1	0	.	.
1	1	0	.	.
0	0	1	.	.
1	0	1	.	.
0	1	1	.	.
1	1	1	.	.

ABC
100
110
011
111

Beispiel 3

2

Gegeben ist der folgende VHDL-Code:

```

Architecture BEISPIEL_3 of PRÜFUNG is
begin
signal A, B, C : std_logic ;

A <= '1';

ZUWEISUNGEN: process(B)
variable D: integer;
begin
A <= '0';
B <= '1';
D := 1;
C <= not(B);
D := D + 3;
end process ZUWEISUNGEN;
end BEISPIEL_3;
    
```



- (a) Zeigen Sie den Ablauf der Simulation, indem Sie Tabelle 1 vervollständigen!
 Wie viele Delta-Cycles werden durchlaufen?
- (b) Welche stabilen Werte ergeben sich für A, B, C und D schlussendlich?

Trennbarkeits

t	A	B	C	D
0 (init)	'0'	'0'	'0'	0
1	'1'	'0'	'0'	0
1+Δ	'0'	'0'	'0'	0
2	'1'	'1'	'0'	0
3	'1'	'1'	'0'	-1
4	'1'	'1'	'1'	1
5	'1'	'1'	'1'	4

Tabelle 1

1
2
3
4
5

Beispiel 4

Gegeben ist die in Abbildung 2 dargestellte Schaltung mit 100MHz Takt. Ein asynchrones Eingangssignal mit 100kHz liegt am Eingang von Flip-Flop FF1. Der Ausgang von FF1 geht über kombinatorische Logik COMB an den Eingang von Flip-Flop FF2. Die Verzögerungszeit der kombinatorischen Logik beträgt 3ns. Laut Datenblatt haben die beiden Flip-Flops folgende Parameter:

$$t_{su} = 1ns; \tau_c = 0,25ns; T_0 = 0,1ns.$$

- (a) Wann spricht man bei dieser Schaltung von einem „Upsel“? *WENN $t_{clk2dat} > t_r$*
 (b) Welche MTBU ist zu erwarten?
 (c) Die beiden FFs werden durch Scan-FFs ersetzt, bei denen dem eigentlichen Flip-Flop ein Multiplexer vorgeschaltet ist. Dieser Multiplexer hat einen Delay von 2ns. Welche MTBU ist nun zu erwarten?

$$t_r = T_{clk} - t_{comb} - t_{su} = \frac{1}{100MHz} \cdot 1000 - 3ns - 1ns = 6ns$$

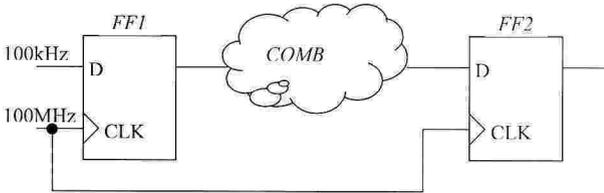


Abbildung 2

a) NESTABILER AUSGANG VON FF1 WIRD VON FF2 WÄHREND DESSEN t_{su} ÜBERNOMMEN.

b) $MTBU = \exp\left(\frac{t_r}{\tau_c}\right) \cdot \frac{1}{T_0 \cdot f_{clk} \cdot f_{dat}} =$

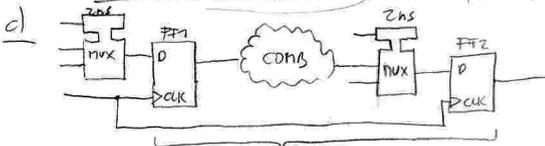
$$= \exp\left(\frac{6ns}{0,25ns}\right) \cdot \frac{1}{0,1ns} \cdot \frac{1}{100MHz} \cdot 1000 \cdot \frac{1}{0,1MHz} \cdot 1000 =$$

$$2,64 \cdot 10^{16} ns = 2,64 \cdot 10^{13} \mu s = 2,64 \cdot 10^{10} ms = 2,64 \cdot 10^7 s =$$

$$= 306,59 \text{ TAGE}$$

$$MTBU = \left(\frac{4ns}{0,25ns}\right) \cdot \frac{1}{0,1ns} \cdot \frac{1}{100MHz} \cdot 1000 \cdot \frac{1}{0,1MHz} \cdot 1000 =$$

$$= 8,886 \cdot 10^{12} ns = 8,886,775$$



$$t_r = T_{clk} - t_{comb} - t_{su} = 10ns - 3ns - 1ns - 2ns = 4ns$$