Aufgabe 2

Design-Flow

• Blinkfrequenz = $7,\overline{692307}$ Hz

Die Periodendauer des Blinkens des Rechtecks soll laut Angabe 0,13 Sekunden betragen.

Um die Blinkfrequenz zu verändern, mussten wir in der Datei vga_control_arc.vhd die Konstante HALFPERIOD anpassen. Die Takt-frequenz des FPGA beträgt 25,175 MHz, was 25 175 000 Clock-Ticks entspricht.

 $\Rightarrow 25175000 \cdot 0, 13 = 3272750$

Da in HALFPERIOD die halbe Periodendauer definiert werden muss, lautet das Ergebnis 3272750/2 = 1636375, dies entspricht binär 110001111100000010111.

Source-Code-Änderung in Zeile 49 der Datei vga_control_arc.vhd:

43: -- signal and constant declarations
44: signal r_next, g_next, b_next : std_logic;
45: signal toggle_sig : std_logic;
46: signal toggle_counter_sig : std_logic_vector(TOG_CNT_WIDTH-1 downto 0);
47: signal toggle_next : std_logic;
48: signal toggle_counter_next : std_logic_vector(TOG_CNT_WIDTH-1 downto 0);
49: constant HALFPERIOD : std_logic_vector(TOG_CNT_WIDTH-1 downto 0) := "0000110001111100000010111";

In der Behavioral-Simulation sieht man, dass unser berechnetes HALFPE-RIOD zum richtigen Ergebnis führt (siehe Abbildung 2.1: Periodendauer von d_{\perp} toggle beträgt 129928254400 ps \approx 129,928 ms).

Da wir eine kurze Periodendauer hatten, haben wir HALFPERIOD nicht skaliert und über die volle Periode von 130 ms simuliert.



Abbildung 2.1: Behavioral-Simulation



Abbildung 2.2: Behavioral-Simulation Übersicht

Nach erfolgreicher Behavioral-Simulation haben wir das Design synthetisiert. Da keine Errors oder Warnings auftraten, konnten wir mit der Pre-Layout-Simulation fortfahren.

| Synplify Pro - [Ht/dide_07\bsp2\Designflow\syn\vga.pr] | | | | | | | |
|--|--|--------------------------|---|--|-----------------------------|---------------|--|
| 🕼 Ede Liew Project Bun HDLAnahyst Options Window Web Help | | | | | | | |
| ▶ 🚔 豊田 🗳 局 🕼 公立 前葉 ◎ Ð 国 歌 問 □ ○ 4 = 5 通 節 □ ○ 4 = 5 通 5 月 5 月 5 月 5 月 5 月 5 月 5 月 5 月 5 月 | | | | | | | |
| Open Project Close Project Add File Change File New Inpl Impl Options New P2R View Log - Frequency (Mtz) © 5175 © Adio Comban Physical Synthesis © FSM Explore © Restores Sharing © Poleining Retining | Run Run H. Vadde_O7.btp;27.Deignflowsgy/tev_1 VHOL Vya_exth/d[work] >NOTEs: Vya_exth/d[work] | P1525 : FC672 - 6, marfa | toppe, fixgatedoloc type vypa.com.uktol toppe vypa.com.uktol vypa.gr vyypa.gr vyy | ks: 0 Modiled A 16:12.23 20Niov.201 16:12.20 20Niov.201 16:12.20 20Niov.201 16:12.20 20Niov.201 16:11.20 20Niov.201 16:11.20 20Niov.201 16:11.20 20Niov.201 16:12.25 20N | | | |
| | n: 0 errors 0 warnings 3 not | es - from log file H: | \dide 07\bsn2\Desi | The flow support 1/400 | | | |
| Total: 0 erro | sr. 0 errors, 0 warnings, 3 not ors, 0 warnings, 17 notes rmpt∫(Messages/ | es - from log file H: | varue_07 \bspz \Uest | aur 100, 200 / 100 - 1 / Adi | C. SIA | tter rev_1 | |
| | | | | | | 🔤 📴 👘 NUM | |
| 🏄 Start 🔇 🚱 Quartus II | - [vga_contro 🛛 📓 Calculator | 🙆 syn | ModelSim ALTERA WEB E | 谢 sim_beh_neu2.TIF - Pa | sint Synplify Pro - [H:\did | 🔏 4:12 PM | |

Abbildung 2.3: Synthese

Bei der Pre-Layout-Simulation mussten wir zeigen, dass der Toggle-Counter läuft. Somit mussten wir nur über einen Zeitraum von wenigen Millisekunden simulieren.

In Abbildung 2.4 sieht man, dass der Toggle-Counter (d_toggle_counter) zählt.



Abbildung 2.4: Pre-Layout-Simulation



Abbildung 2.5: Pre-Layout-Simulation Übersicht

Bei der Post-Layout-Simulation mussten wir, wie bei der Pre-Layout-Simulation, nur zeigen, dass der Toggle-Counter läuft. Dass der Toggle-Counter zählt, sieht man in Abbildung 2.6



Abbildung 2.6: Post-Layout-Simulation

| ModelSim ALTERA WEB | EDITION 6.1d - Custor | m Altera Version Tools Window Hel | p. | | | | | | _ _ 5 × |
|---------------------------------------|----------------------------|--------------------------------------|--------------------------|--------------------------|------------------|------------------|------------------|---------|--------------------|
|] 🚅 🖬 🚳 🕉 🖻 | © ⊇⊇ A ≵ | ⁰5 ₩ 🕸 🗰 | 🖉 🛐 🛛 Contains: | | 🔉 눈 🛨 🛛 🕟 🗆 | ت <u>ا</u> | 8: 3• 1 % | | |
| 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 | 1111100 | | p | | | | | | |
| Workspace | ा म ज | X Objects | ; ± a | X Instrume default | | | | | B B S |
| * Instance | Design unit Des | ig Vame | Value | Mave - derauk | · [. | | | | |
| - vga_pos_tb | vga_pos_tb(Arcl | hit 🔸 ck_pin | 1 | /vga_pos_tb/clk_ | pin 1 | | | | |
| 🛃 🗾 vga_unit | vga(structure) Arch | hit 🔷 🔶 reset_pin | 1 | Avga_pos_tb/d_g | 0 | | | | |
| - 🕘 clkgen | vga_pos_tb(Proc | ce 🔷 t0_pin | 0 | A Avga_pos_tb/d_b | 0 | | | | |
| - dest_it | vga_pos_tb(Proc | ce 🔶 r1_pin | 0 | A Avea pos th/d to | oole 0 | | | | |
| | vga_pos_tb(Proc | ce 🔷 r2_pin | 0 | + 🔶 /vga_pos_tb/d_to | gg 40743 | | | | |
| stratix_plipack | stratix_plipack Pac | k. 🍸 gU_pm | U A | /vga_pos_tb/d_h | ync 1 | | | | |
| stratix_components | stratix_com Pac | k, → gi_pin k | 0 | 🔶 /vga_pos_tb/d_v: | | | | | |
| stratix_atom_pack | stratix_ato Pac | k A bû pin | ů | | | | | | |
| vital_primitives | vital_primitives Fac | k. 🕹 b1 pin | ő | | | | | | |
| textio | textin Pac | k. 🔸 hsync pin | 1 | | | | | | |
| 🧧 vga pak | vga pak Pac | 🔬 🛛 🔶 vsync_pin | 1 | | | | | | |
| std_logic_unsigned | std_logic_un Pac | <mark>k. ⊞-</mark> 今 seven_se | g_pin 10000001111001 | | | | | | |
| 🗾 std_logic_arith | std_logic_arith Pac | ik, 🛛 🔷 d_hsync | 1 | | | | | | |
| 🞽 std_logic_1164 | std_logic_1 Pac | k. 🔷 d_vsync | 1 | | | | | | |
| 🗾 standard | standard Pac | k. 🖃 🔶 d_column | _counter 1000101011 | | | | | | |
| | | d_line_co | unter 000010001 | | | | | | |
| | | | umn_counter 0 | | | | | | |
| | | | _counter 0 | | | | | | |
| | | d vsunc | counter 0000110010 | | | | | | |
| | | d set hsy | nc counter 0 | | | | | | |
| | | 🧄 d_set_vsy | nc_counter 0 | | | | | | |
| | | 🔷 🔶 d_h_enab | le 1 | | | | | | |
| | | 🔷 🔶 d_v_enab | le 1 | | | | | | |
| | | 🔷 d_r | 0 | | | | | | |
| | | و_ه 🔶 | 0 | | | | | | |
| | | | U 1-1- 0001000 | | | | | | |
| | | | state 0001000 | N | 1017001000 | | | | ····· |
| | | d state c | k 1 | N | 5W 1617551500 ps | 1280 us | | 1320 us | |
| | | d tooole | 0 | Curso | r1 Ups | | | | |
| <u> </u> | | d toggle | counter 0000000001001111 | | | 1KI | | | |
| 👫 Library 😺 sim 🚆 | Files 📘 🛐 Memories 🔌 | | | -] 📰 wave | | | | | 4 Þ |
| | | | <u>`</u> | | | | | | |
| Transcript | | | | 3000 | | | | | म ज |
| VSIM 17> run | | | | | | | | | - |
| VSIM 195 run | | | | | | | | | |
| view wave | | | | | | | | | |
| # .main_pane.mdi.interior.cs.v | m.paneset.cli_0.wf.clip.cs | .pw.wf | | | | | | | |
| VSIM 2D run | | | | | | | | | |
| VSIM 23> run | | | | | | | | | |
| # Break key hit | | | | | | | | | |
| VSIM 24> run | | | | | | | | | |
| VSIM 25> run | | | | | | | | | |
| MOINT DO | | | | | | | | | |
| VSIM 262 | | | | | | | | | - |
| Now: 1 617 991 900 pe | Delta: 0 | sim:Ana nos th- | imited Visibility Region | | | 1261789392 ne to | 1351453881 no | | |
| | 100 | ourunga_pos_tb - | 1 Na an an a su | [| | | 1001100001 po | | 10 m |
| Scart Scart | src 🛄 | | g posts. HF - Paint | Quartus II - H:/dide_07/ | M ModelSim ALTER | (A WE | | | 3:44 PM |

Abbildung 2.7: Post-Layout-Simulation Übersicht

Anschließend mussten wir das Place & Route noch einmal durchführen, um eine eigene Variante des Designs (mit PLL) für den Download zu erhalten. Nach diesem Vorgang wird ein Report angezeigt, in dem man die Auslastung des FPGA ablesen kann (siehe Abbildung 2.8).

Die Auslastung beträgt 152/25660 (< 1%) logischen Elementen, 117/474 (25%) Pins sowie 1/6 PLL.



Abbildung 2.8: Auslastung des FPGA

Nun mussten wir unsere Blinkfrequenz am Logikanalysator überprüfen. Wir haben den Logikanalysator im State-Modus betrieben, weil wir Zustände messen wollten und in diesem Modus sehr einfache Trigger-Bedingungen formulieren konnten. Diese sind in Abbildung 2.9 ersichtlich. Auf dem Screenshot nicht ersichtlich sind die zu 1 und 2 analogen weiteren Bedingungen, sowie die abschließende Bedingung "Store no state".

| Analyzer Trigger MACHINE 1 | Cancel | Run |
|--|------------------|-------------------------------|
| ♦ State Sequence Levels ♦ | Timer 1 2 | Arming |
| Hhile storing "no state" TRIGGER on "a" occurring 1 time | L | <u>Control</u> Acquisition |
| While storing "no state" 2 Then find "b" occurring 1 time | Control Count | |
| While storing "no state" 3 Then find "a" occurring 1 time | | Modify Trigger |
| | SETVSC SET | |
| (◆ Terms ◆) (Binary) (Decimal) (Hex) (Hex) | Hex H | |
| | | × |
| | | ×) |
| | | <u>×_)</u> |
| | | x |

Abbildung 2.9: Logikanalysator - Trigger

In der Waveform sieht man, dass das Toggle-Signal arbeitet. Die anderen Signale sind hier wenig aussagekräftig, weil für sie die Abtastrate zu groß ist.



Abbildung 2.10: Logikanalysator - Waveform

In der Listenansicht sieht man, dass die Periodendauer 120,36 m
s beträgt. Dies weicht vom errechneten und simulierten Wert von 130 m
s ab, da das FPGA

mit einer Taktfrequenz von 27,175 MHz statt 25,175 MHz arbeitet. Dies kann man durch nachrechnen verifizieren: $\frac{2\cdot1636375}{27175000} = 0, 12s$ Hätten wir den gesamten Prozess mit 27,175 MHz durchlaufen, wären wir auch bei den Simulationen auf die 120,36 ms gekommen. In diesem Fall hätten wir HALFPERIOD aber anders berechnen müssen, sodass wir auf die gewünschten 130 ms gekommen wären.



Abbildung 2.11: Logikanalysator - Liste