

# Einführung in die Technische Informatik

Prüfungsordner zum 1. Test  
 11. April 2003, Gruppe B  
 © Paul Staroch  
 Datum: 5. Mai 2005  
 Erstellt mit L<sup>A</sup>T<sub>E</sub>X

**Punkteverteilung** (insgesamt 50 Punkte):

1	2	3	4	5	6	7	8	9	10	11	12	13	14
2	4	1	1	6	3	1	2	4	3	2	1	10	10

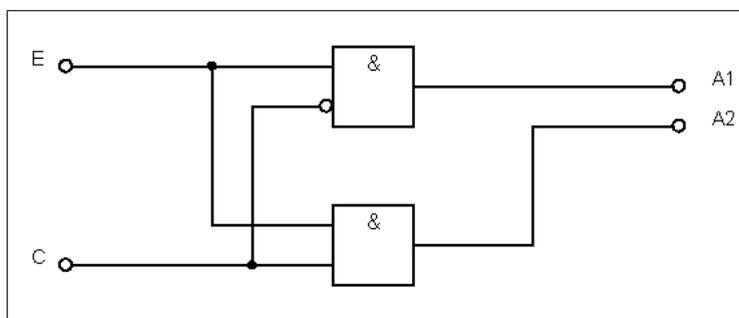
Auf Grund der Funktionalität des für die Erstellung der Schaltpläne verwendeten Programms (Eagle 4.14) werden Negationen von Gatterausgängen nicht, wie ansonsten üblich, durch Kreise dargestellt, sondern durch Dreiecke. Für Korrektheit und Vollständigkeit der Daten kann wie immer keine Garantie abgegeben werden.

## 1. Was versteht man unter „Fan-Out“?

*Antwort:* Unter „Fan-In“ versteht man die maximale Anzahl an Gattereingängen, die an den jeweiligen Gatterausgang angeschlossen werden dürfen.

**2. Konstruieren Sie eine Gatterschaltung für einen Demultiplexer mit einem Informationseingang E und einem Controleingang C sowie den Ausgängen A<sub>1</sub> und A<sub>2</sub>, wobei C die Werte 0 oder 1 annehmen kann!**

*Antwort:*



**3. Ein Codierschalter arbeitet mit BCD-Code. Stellen Sie die Zahl (265)<sub>10</sub> in BCD-Code dar!**

*Antwort:*

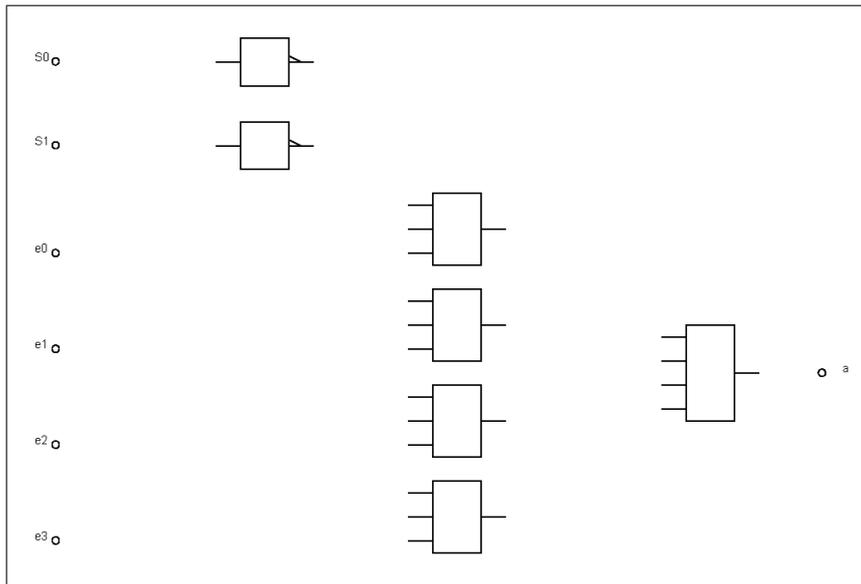
$$(265)_{10} = (0010\ 0110\ 0101)_{BCD}$$

**4. Was versteht man unter dem Tastgrad g einer Rechteckimpulsfolge des Taktgenerators eines Rechners?**

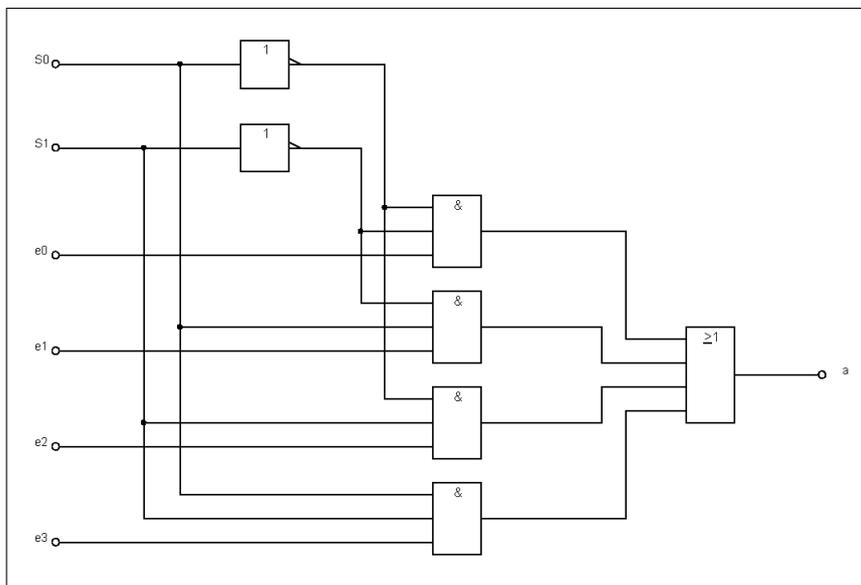
Antwort: Der Tastgrad ist in diesem Zusammenhang das Verhältnis von Impulslänge zu Impulsperiodendauer:

$$g = \frac{T_i}{T}$$

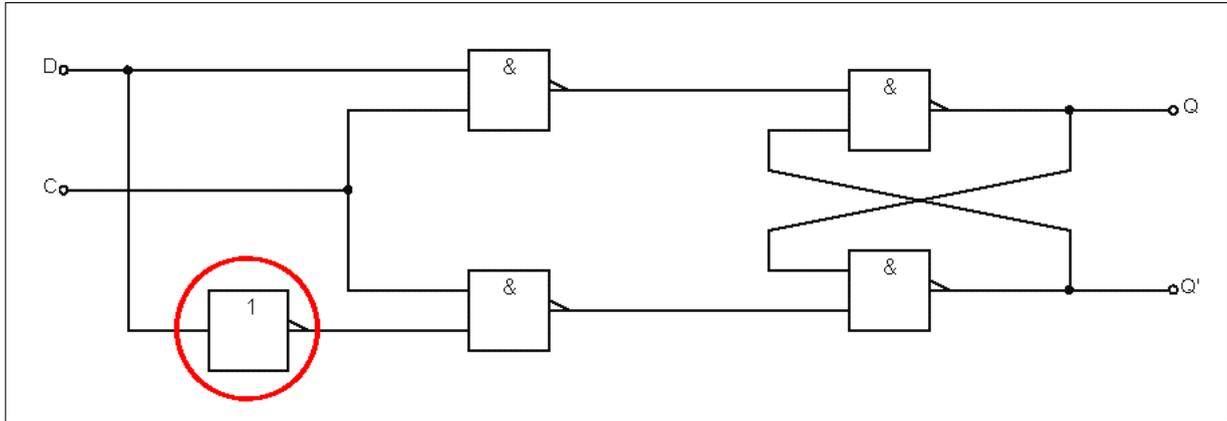
5. Gegeben ist ein Multiplexer MUX mit vier Eingängen  $e_0, e_1, e_2$  und  $e_3$  sowie zwei Steuereingängen  $S_0$  und  $S_1$ . Ergänzen Sie die Schaltung!



Antwort:



6. Gegeben ist die Schaltung eines D-FF. Erklären Sie die Funktion des gekennzeichneten Gatters!



Antwort: Dieser Inverter sorgt dafür, dass für den Eingangswert  $D = 0$  der Ausgangswert  $Q = 0$  gesetzt wird und beim Eingangswert  $D = 1$  der Ausgangswert  $Q = 1$  (solange der Kontrolleingang  $C = 1$  ist).

**7. Erklären Sie die Abkürzung ASIC!**

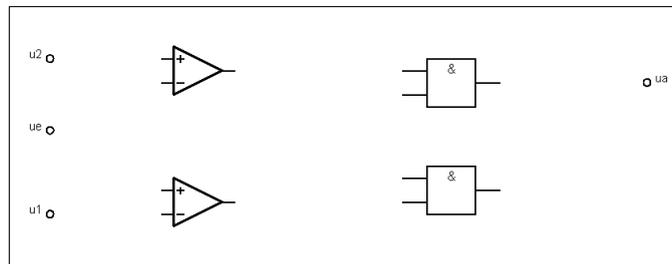
Antwort: ASIC bedeutet „Application Specific Integrated Circuit“. Es handelt sich dabei um einen Funktionsspeicher, also einen integrierten Baustein, der zur Speicherung einer Funktion dient.

**8. Was ist die Hysterese beim Schmitt-Trigger?**

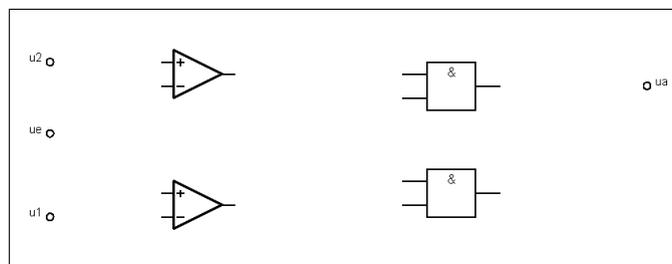
Antwort: Die Hysterese des Schmitt-Triggers ist die Differenz von Ein- und Ausschaltepegel:

$$U_{HST} = U_{e\ ein} - U_{e\ aus} = \frac{R_1}{R_1 + R_2} \cdot (U_{\alpha\ max} - U_{\alpha\ min})$$

**9. Vervollständigen Sie durch Einzeichnen der fehlenden Verbindungen die angegebene Schaltung eines Präzisions-Schmitt-Triggers!**

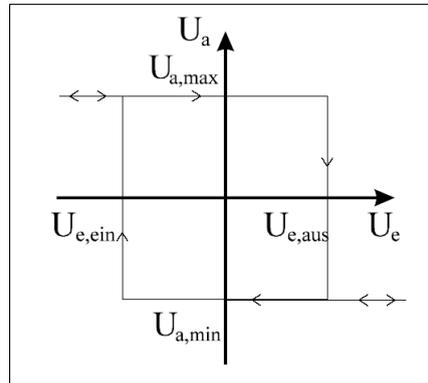


Antwort:



**10. Zeichnen Sie die Übertragungskennlinie eines invertierenden Schmitt-Triggers!**

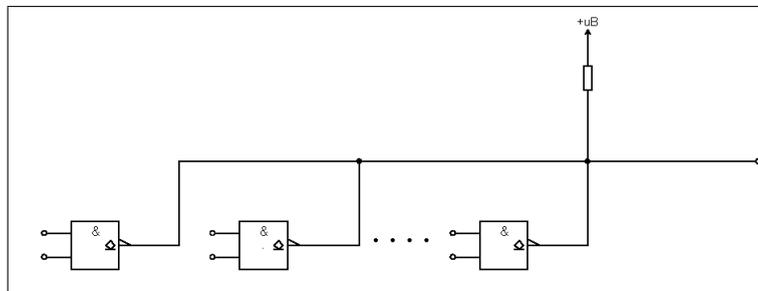
Antwort:



**11. Erläutern Sie die Funktion eines Tristate-Gatters!**

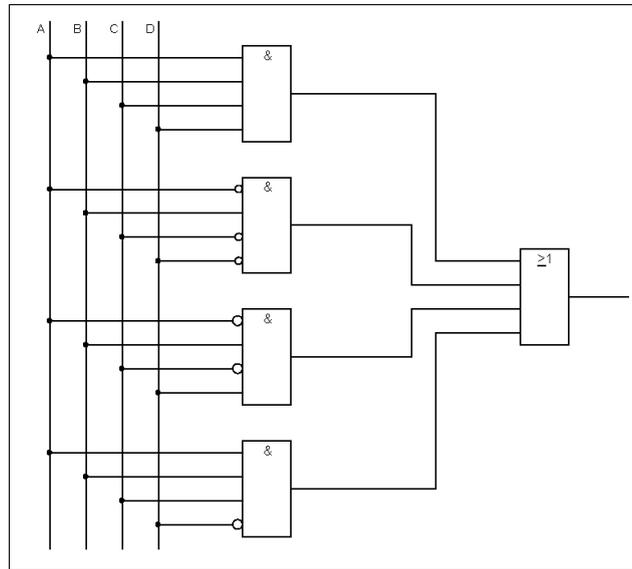
Antwort: Ein Tristate-Gatter verwendet einen zusätzlichen Wert - neben logisch 0 und logisch 1 -, sodass die Ausgänge mehrerer solcher Gatter bedenkenlos zusammengeschaltet werden können, ohne dass nicht vorgesehene Ströme fließen. Ein Tristate-Gatter hat neben den „normalen“ Gatter-Ein- und Ausgängen einen zusätzlichen Steuereingang; ist dieser logisch 1, so funktioniert das Gatter wie gewohnt. Liegt am Steuereingang jedoch logisch 0 an, so wird der Ausgang/werden die Ausgänge des Gatters auf den zusätzlichen Zustand geschaltet (über einen hochohmigen Widerstand).

**12. Was für eine Schaltung liegt in der folgenden Abbildung vor?**



Antwort: Bei dieser Schaltung handelt es sich um eine Wired-AND-Verknüpfung.

**13. Vereinfachen Sie die folgende Schaltung mit Hilfe eines KV-Diagrammes und zeichnen Sie die resultierende Schaltung.**



Antwort:

Ursprüngliche Funktion:

$$\begin{aligned}
 f = & (A \wedge B \wedge C \wedge D) \vee \\
 & (\neg A \wedge B \wedge \neg C \wedge \neg D) \vee \\
 & (\neg A \wedge B \wedge \neg C \wedge D) \vee \\
 & (A \wedge B \wedge C \wedge \neg D)
 \end{aligned}$$

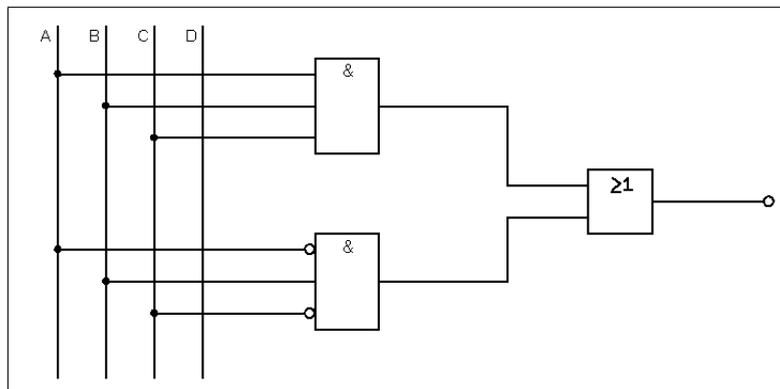
KV-Diagramm:

	A	$\neg A$	A	
D	0	0	0	-B
	0	0	0	
$\neg D$	1	0	1	B
D	1	0	1	
	C		$\neg C$	

Vereinfachte Funktion:

$$\begin{aligned}
 f = & (A \wedge B \wedge C) \vee \\
 & (\neg A \wedge B \wedge \neg C)
 \end{aligned}$$

Ergebnis:



14. Es soll eine Schaltung mittels PLA entworfen werden, die stets logisch eins ausgibt, wenn die Zahl entweder durch 4 oder durch 6 teilbar ist. Die Zahl wird dargestellt durch A, B, C, D, wobei A das LSB und D das MSB ist.

Antwort: Die angegebene Bedingung ist dann erfüllt, wenn die Zahl einen der Werte 4, 6 oder 8 annimmt. Die dabei entstehende Funktion hat die folgende Form:

$$f = (\neg A \wedge \neg B \wedge C \wedge \neg D) \vee (\neg A \wedge B \wedge C \wedge \neg D) \vee (\neg A \wedge \neg B \wedge \neg C \wedge D)$$

KV-Diagramm:

	A	$\neg A$	A	
D	0	0	1	0
$\neg D$	0	1	0	0
D	0	0	0	0
	C	$\neg C$		

Vereinfachte Funktion:

$$f = (\neg A \wedge C \wedge \neg D) \vee (\neg A \wedge \neg B \wedge \neg C \wedge D)$$

Ergebnis (PLA):

