

Einführung in die Technische Informatik

Prüfungsordner zum 1. Test

11. April 2003, Gruppe A

© Paul Staroch

Datum: 5. Mai 2005

Erstellt mit L^AT_EX

Punkteverteilung (insgesamt 50 Punkte):

1	2	3	4	5	6	7	8	9	10	11	12	13	14
2	3	1	3	1	3	6	4	1	3	2	1	10	10

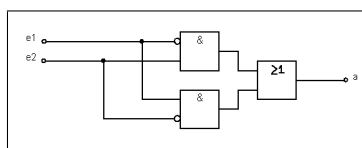
Auf Grund der Funktionalität des für die Erstellung der Schaltpläne verwendeten Programms (Eagle 4.14) werden Negationen von Gatterausgängen nicht, wie ansonsten üblich, durch Kreise dargestellt, sondern durch Dreiecke. Für Korrektheit und Vollständigkeit der Daten kann wie immer keine Garantie abgegeben werden.

1. Was versteht man unter „Fan-In“?

Antwort: Unter „Fan-In“ versteht man die maximale Anzahl an Gatterausgängen, die an den jeweiligen Gattereingang angeschlossen werden dürfen.

2. Zeichnen Sie eine Gatterschaltung für die XOR-Funktion!

Antwort:

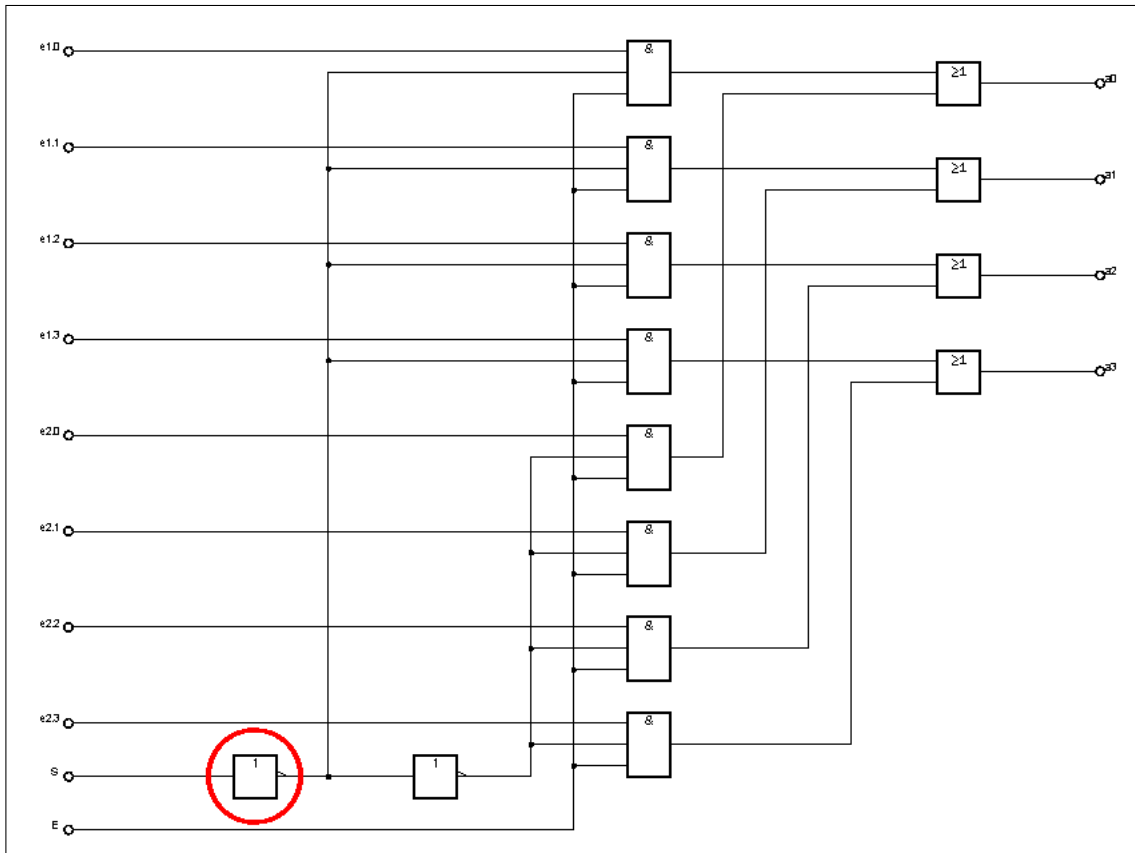


Ein Codierschalter arbeitet mit BCD-Code. Stellen Sie die Zahl $(265)_{10}$ in BCD-Code dar!

Antwort:

$$(265)_{10} = (0010\ 0110\ 0101)_{BCD}$$

4. Wozu dient der durch einen Kreis gekennzeichnete Inverter der dargestellten Multiplex-Schaltung?

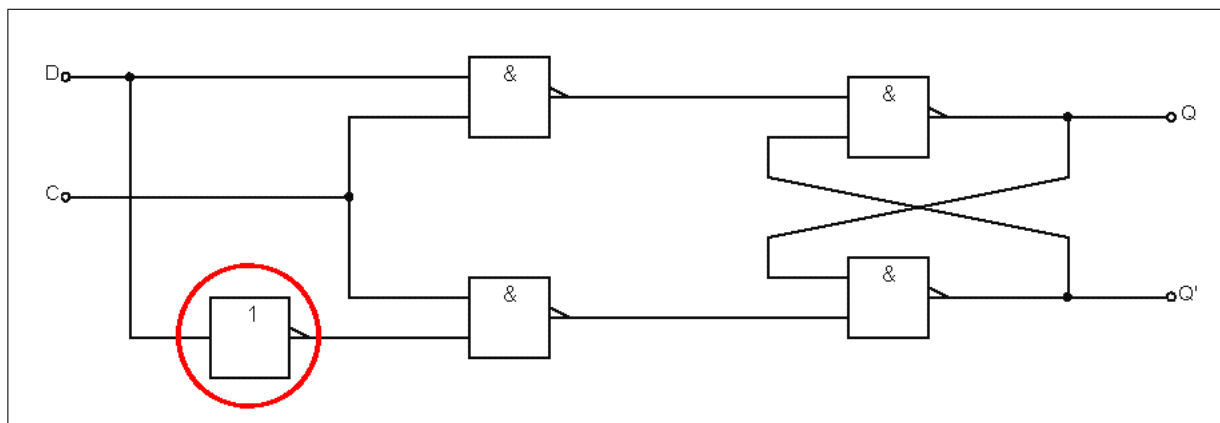


Antwort: Dieser Inverter dient der Entkoppelung zwischen dem Multiplexer und dem S-Eingang.

5. Gegeben ist ein Asynchronzähler, bestehend aus vier Latches und einem Zählstand von „7“. Welche falschen Zählerzwischenstände treten beim Übergang von „7“ auf „8“ auf?

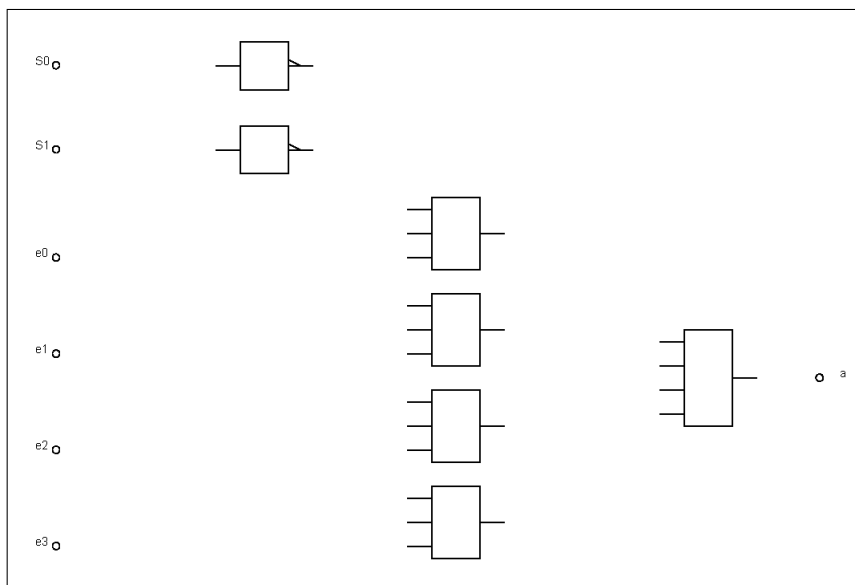
Antwort: Die auftretenden falschen Zählerzwischenstände sind „6“, „4“ und „0“.

6. Gegeben ist die Schaltung eines D-FF. Erklären Sie die Funktion des gekennzeichneten Gatters!

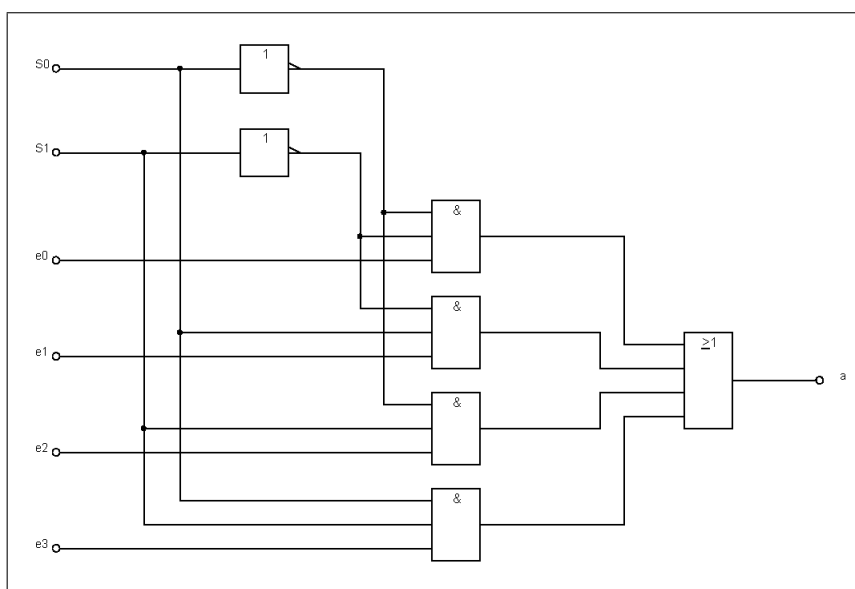


Antwort: Dieser Inverter sorgt dafür, dass für den Eingangswert $D = 0$ der Ausgangswert $Q = 0$ gesetzt wird und beim Eingangswert $D = 1$ der Ausgangswert $Q = 1$ (solange der Kontrolleingang $C = 1$ ist).

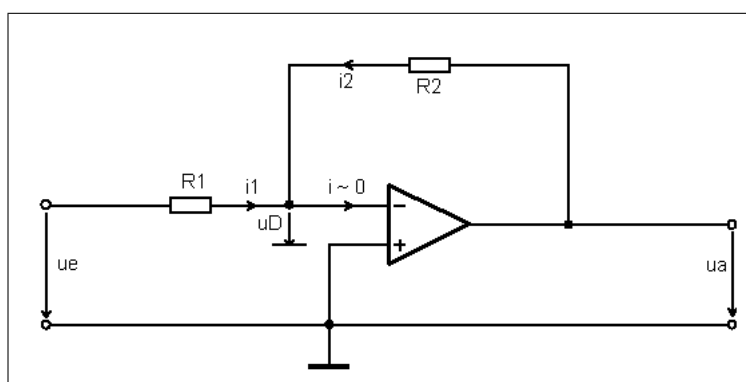
7. Gegeben ist ein Multiplexer MUX mit vier Eingängen e_0 , e_1 , e_2 und e_3 sowie zwei Steuereingängen S_0 und S_1 . Ergänzen Sie die Schaltung!



Antwort:



8. Gegeben ist die Schaltung eines invertierenden Operationsverstärkers: Wie groß ist die Spannungsverstärkung v_u ?



Antwort:

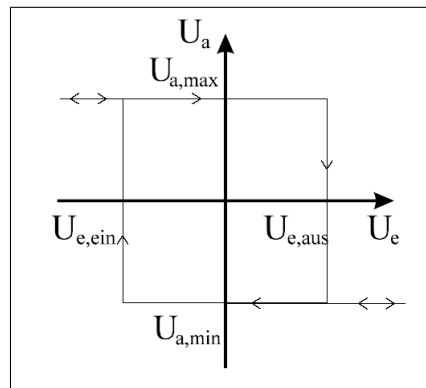
$$v_u = \frac{u_a}{u_e} \approx -\frac{R_2}{R_1}$$

9. Erklären Sie die Abkürzung ASIC!

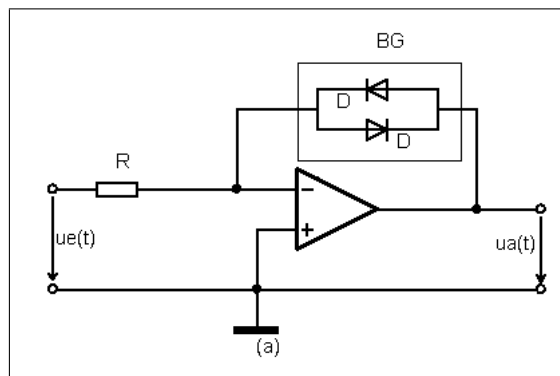
Antwort: ASIC bedeutet „Application Specific Integrated Circuit“. Es handelt sich dabei um einen Funktionsspeicher, also einen integrierten Baustein, der zur Speicherung einer Funktion dient.

10. Zeichnen Sie die Übertragungskennlinie eines invertierenden Schmitt-Triggers!

Antwort:

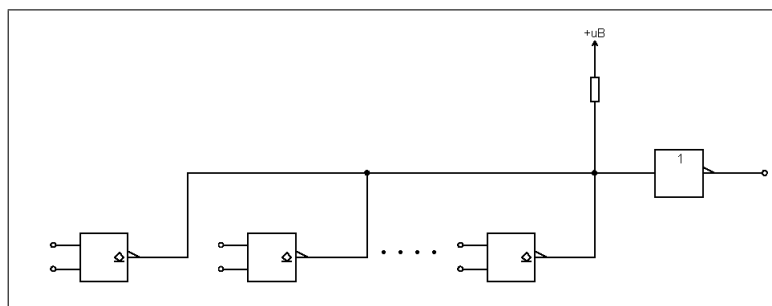


11. Erklären Sie die Funktion der anti-parallelen Diodenschaltung im Gegenkopplungsweig des Operationsverstärkers eines Zero-Crossing-Detectors!



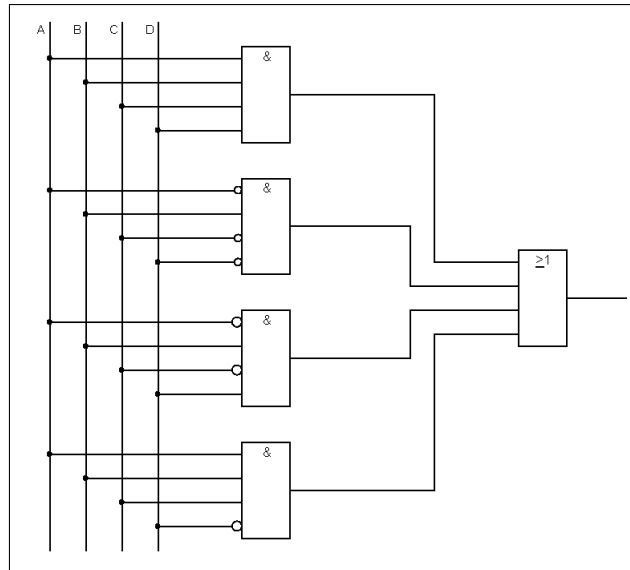
Antwort: Bei dieser antiparallelen Diodenschaltung handelt es sich um eine zweiseitige Begrenzerschaltung zur Begrenzung der negativen und positiven Ausgangsspannung u_a . Dies ist notwendig, um einen gesättigten Betrieb der Ausgangsstufe des Operationsverstärkers und eine dadurch bedingte zusätzliche Schaltverzögerung zu vermeiden.

12. Was für eine Schaltung liegt in der folgenden Abbildung vor?



Antwort: Bei dieser Schaltung handelt es sich um eine Wired-OR-Verknüpfung.

13. Vereinfachen Sie die folgende Schaltung mit Hilfe eines KV-Diagrammes und zeichnen Sie die resultierende Schaltung.



Antwort:

Ursprüngliche Funktion:

$$\begin{aligned}
 f = & (A \wedge B \wedge C \wedge D) \vee \\
 & (\neg A \wedge B \wedge \neg C \wedge \neg D) \vee \\
 & (\neg A \wedge B \wedge \neg C \wedge D) \vee \\
 & (A \wedge B \wedge C \wedge \neg D)
 \end{aligned}$$

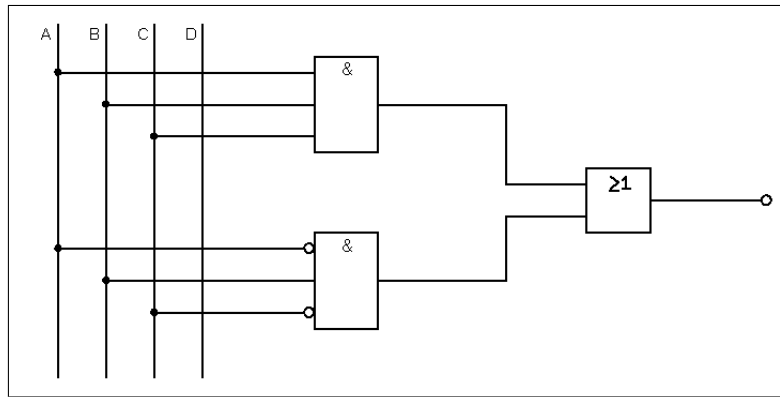
KV-Diagramm:

	A	$\neg A$	A	
D	0	0	0	0
	0	0	0	0
$\neg D$	1	0	1	0
	1	0	1	0
D	1	0	1	0
	C	$\neg C$		

Vereinfachte Funktion:

$$\begin{aligned}
 f = & (A \wedge B \wedge C) \vee \\
 & (\neg A \wedge B \wedge \neg C)
 \end{aligned}$$

Ergebnis:



14. Es soll eine Schaltung mittels PLA entworfen werden, die stets logisch eins ausgibt, wenn die Zahl entweder durch 4 oder durch 6 teilbar ist. Die Zahl wird dargestellt durch A, B, C, D, wobei A das LSB und D das MSB ist.

Antwort: Die angegebene Bedingung ist dann erfüllt, wenn die Zahl einen der Werte 4, 6 oder 8 annimmt. Die dabei entstehende Funktion hat die folgende Form:

$$f = (\neg A \wedge \neg B \wedge C \wedge \neg D) \vee (\neg A \wedge B \wedge C \wedge \neg D) \vee (\neg A \wedge \neg B \wedge \neg C \wedge D)$$

KV-Diagramm:

	A	$\neg A$	A	
D	0	0	1	0
	0	1	0	0
$\neg D$	0	1	0	0
	0	0	0	0
D	0	0	0	0
	C	$\neg C$		B

Vereinfachte Funktion:

$$f = (\neg A \wedge C \wedge \neg D) \vee (\neg A \wedge \neg B \wedge \neg C \wedge D)$$

Ergebnis (PLA):

